

Rechnerorganisation im WS 2017/18

Musterlösungen zum 7. Übungsblatt

Prof. Dr. Wolfgang Karl
Haid-und-Neu-Str. 7

Dr.-Ing. Ömer Terlemez
Adenauerring 2, Geb. 50.20

Email: ti@ira.uka.de

Web: <http://ti.ira.uka.de>

Lösung 1

(8 Punkte)

1. **Zugriffszeit:** maximale Zeitdauer bis Daten nach anlegen der Adresse zur Verfügung stehen. 2 P.

Zykluszeit: minimale Zeitspanne die zwischen zwei aufeinanderfolgenden Speicheranfragen eingehalten werden muss.

⇒ $\text{Zykluszeit} \geq \text{Zugriffszeit}$.

In der Praxis ist die Zykluszeit meist größer, da der Speicher nach einem Zugriff und vor einer neuen Anfrage eine "Erholungsphase" benötigt.

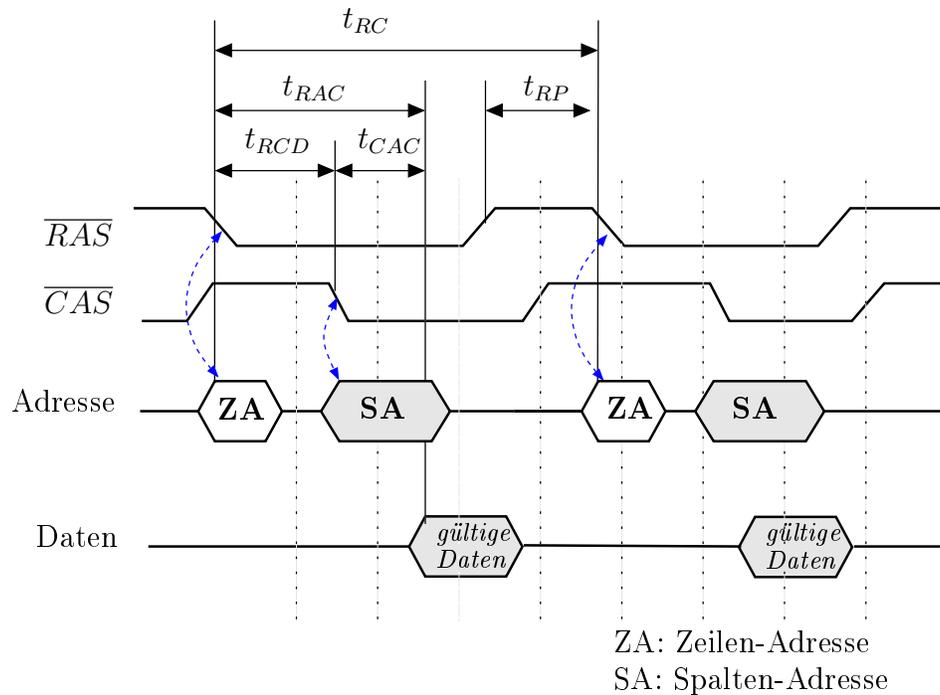
2. Beim Auffrischen wird der Inhalt einer Zeile des Speichers ausgelesen und danach neu in die selbe Zeile zurückgeschrieben. 2 P.

Zum Auslösung eines Auffrischens wird die entsprechende Zeilenadresse an den Speicherbaustein angelegt, wobei das RAS-Steuersignal konstant auf 0 und das CAS-Steuersignal konstant auf 1 gehalten wird.

Notwendigkeit des Auffrischens: der Kondensator eines DRAM-Speicherelements verliert durch Leckströme über die Zeit Ladung. Das periodische Auffrischen sorgt alle paar Millisekunden für die Erhaltung der gespeicherten Ladung. Sonst würde mit Verlust der Ladung auch der Speicherinhalt verloren gehen.

3. i.)

2 P.



- ii.) Timing-Parameter, die bei einem FPM-DRAM-Baustein wegfallen:
RAS-Precharge-Zeit (t_{RP}) und die RAS-CAS-Delay (t_{RCD})

2 P.

Begründung:

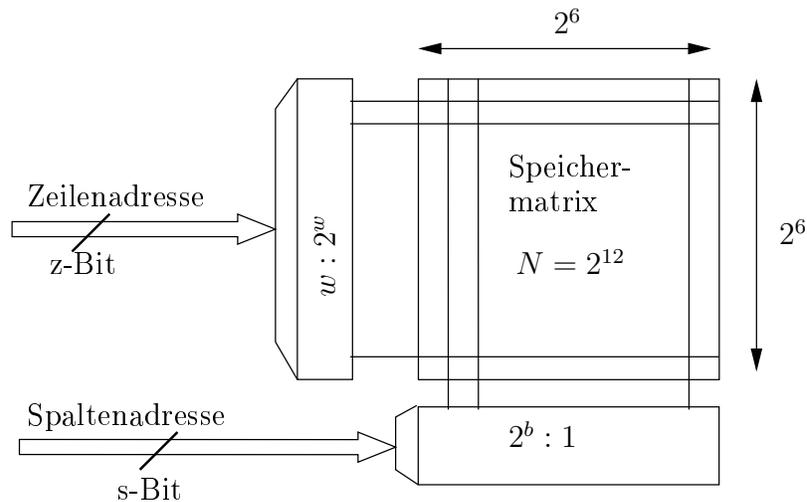
Bei FPM-DRAM-Bausteinen lässt die Speichersteuerung das RAS-Signal nach dem ersten Lesezugriff aktiv, d. h. die Zeile (*page*) bleibt auch aktiv, so dass bei den Folgezugriffen in der gleichen Zeile des Bausteins nur noch eine neue Spaltenadresse angelegt werden muss.

Lösung 2

(8 Punkte)

1. Speicherelement mit der Adresse $AFFE_{16}$ Zeilennummer $FE_{16} = 254_{10}$ Spaltennummer $AF_{16} = 175_{10}$

2. i.) Organisation des RAM-Speichers:



ii.) Quadratischer Silizium-Chip, deshalb ist es zweckmäßig $z = s = 6$ zu wählen.
Damit ergibt sich für die Anzahl der Wortleitungen/Bitleitungen:

$$Z = 2^z = 2^6 = 64 \quad S = 2^s = 2^6 = 64$$

iii.) $z = s = 6$

Lösung 3

(11 Punkte)

1. Die Größe des Hauptspeichers wird durch die Breite des Adressbusses limitiert. Ein 16-Bit Adressbus kann 64 KByte an Speicher adressieren, ein 24-Bit Adressbus 16 MByte, ein 32-Bit Adressbus 4 GByte und ein 64-Bit Adressbus 16 EBytes. 1 P.

2. Die Speicheradresse wird in verschiedene Bereiche unterteilt. Dabei geht man von der binären Adresse aus und unterteilt diese in die Bereiche **Karte**, **Modul**, **Baustein** und **Speicherzelle**. Der Binärwert in jedem dieser Bereiche identifiziert dann den zu adressierenden Teil des jeweiligen Moduls. 2 P.

3. Folgende Arten von Übertragungen werden unterstützt: 5 P.
 - i.) Prozessor an Speicher: Prozessor schreibt Daten in den Speicher
 - ii.) Speicher an Prozessor: Prozessor liest Daten vom Speicher
 - iii.) Ein-/Ausgabe an Prozessor: Prozessor liest Daten eines Ein-/Ausgabegerätes über die Ein-/Ausgabeschnittstelle
 - iv.) Prozessor an Ein-/Ausgabe: Prozessor sendet Daten an das Ein-/Ausgabegerät
 - v.) zwischen Ein-/Ausgabe und Speicher: Ein-/Ausgabeschnittstelle tauscht Daten direkt mit dem Speicher aus (DMA)

4. Die Busspezifikation beschreibt: 3 P.
 - i.) die mechanischen und elektrotechnischen Eigenschaften
 - ii.) die Regeln für die Funktionsabläufe zwischen den Busteilnehmern (Busprotokoll)
 - iii.) die Realisierung durch Steuereinheiten